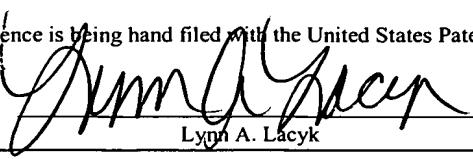




PATENT  
Docket No.: 543822004900

**CERTIFICATE OF HAND DELIVERY**

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on April 26 2004.

  
Lynn A. Lacyk

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In the application of:

Dirk EFFERENN et al.

Serial No.: 10/721,752

Examiner: Not Yet Assigned

Filing Date: November 26, 2003

Group Art Unit: 2812

For: DYNAMIC MEMORY AND METHOD  
FOR TESTING A DYNAMIC MEMORY

**SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENTS**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Applications  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of German patent application No. 102 55 686.5, filed November 26, 2002.

The certified priority documents are attached to perfect Applicants' claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorize the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **543822002300**.

Dated: April 26, 2004

Respectfully submitted,

By:   
Kevin R. Spivak  
Registration No. 43,148

Morrison & Foerster LLP  
1650 Tysons Boulevard, Suite 300  
McLean, Virginia 22102  
Telephone: (703) 760-7762  
Facsimile: (703) 760-7777

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 55 686.5

**Anmeldetag:** 28. November 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Herstellungsverfahren für eine Halbleiterstruktur

**IPC:** H 01 L 21/8242

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 1. Dezember 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

A handwritten signature in black ink, appearing to read "Letang".

Letang

## Herstellungsverfahren für eine Halbleiterstruktur

### Beschreibung

5 Die vorliegende Erfindung betrifft ein Herstellungsverfahren für eine Halbleiterstruktur.

Obwohl prinzipiell auf beliebige integrierte Schaltungen anwendbar, werden die vorliegende Erfindung sowie die ihr  
10 zugrundeliegende Problematik in bezug Speicherzellen-Halbleiterstrukturen mit Grabenkondensatoren in Silizium-Technologie erläutert.

Fig. 2 zeigt ein bekanntes Anordnungsschema einer Speicherzellen-Halbleiterstrukturen mit Grabenkondensatoren in Silizium-Technologie, welche auch als MINT-Zellenlayout bezeichnet wird.

20 In Fig. 2 bezeichnen Bezugszeichen G1 bis G8 Grabenkondensatoren, welche gegeneinander versetzt paarweise in Reihen und Spalten angeordnet sind. Zwischen den Grabenkondensatoren G1 bis G8 liegen aktive Gebiete AA1 bis AA7 bzw. mit einem Isolationsmaterial gefüllte Shallow-Trench-Isolationsstrukturen STI, welche die aktiven Gebiete AA1 bis AA7 inselartig einschließen.

2 In den aktiven Gebieten AA1 bis AA7 untergebracht sind (nicht gezeigte) jeweilige Auswahltransistoren für die Grabenkondensatoren G1 bis G8. Dabei weisen die Auswahltransistoren von 30 jeweils zwei Grabenkondensatoren, beispielsweise G4 und G5, einen gemeinsamen Bit-Leitungsanschluss auf, der etwa in der Mitte des aktiven Gebiets, hier AA4, liegt. Zwischen dem Bit-Leitungsanschluss und dem jeweiligen Grabenkondensator befindet sich ein Gate-Leitungsanschluss, der mit einer jeweiligen 35 Wortleitung verbunden ist. Beim vorliegenden Layout verlaufen die (nicht gezeigten) Bit-Leitungen in Reihenrichtung und die (nicht gezeigten) Wortleitungen in Spaltenrichtung. Die Zel-

len sind symmetrisch bezüglich des gemeinsamen Bitleitungsanschlusses gestaltet.

Als problematisch bei einem derartigen Anordnungsschema einer 5 Speicherzellen-Halbleiterstruktur mit Grabenkondensatoren hat sich das Auffüllen der Isolationsgrabenstruktur mit dem isolierenden Füllmaterial, welches in der Regel aus Siliziumoxid besteht, erwiesen. Die Strukturen weisen nämlich insbesondere 10 in den Isolationsgräben zwischen den benachbarten Reihen ein hohes Aspektverhältnis auf, was in der Regel dazu führt, dass sich Lunker in dem isolierenden Füllmaterial bilden. Vor allem an der Stelle, an der sich zwei benachbarte aktive Gebiete 15 überlappen, ist das Aspektverhältnis des zu füllenden STI-Grabens sehr hoch und somit die Gefahr einer Lunkerbildung am größten.

Üblicherweise lässt sich diese Lunkerbildung nur dadurch vermeiden, dass ein mehrfaches Abscheiden und nasschemisches Zurückätzen des isolierenden Füllmaterials durchgeführt wird.

20 Die der vorliegenden Erfindung zugrundeliegende Problematik besteht also darin, ein verbessertes Herstellungsverfahren für eine derartige Halbleiterstruktur zu schaffen, das es ermöglicht die Gefahr einer Lunkerbildung beim Füllen von den Isolationsgräben zu reduzieren.

25 Erfindungsgemäß wird dieses Problem durch das in Anspruch 1 angegebene Herstellungsverfahren gelöst.

30 Die Vorteile des erfindungsgemäßen Herstellungsverfahrens liegen insbesondere darin, dass das Aspektverhältnis im kritischen Überlappungsbereich entspannt werden kann und Bereiche mit besonders kritischem Aspektverhältnis werden eliminiert oder zumindest stark verkleinert können. Die Gefahr einer Lunkerbildung beim Füllen der Isolationsgräben wird auf 35 diese Weise von vornherein reduziert.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, dass durch das Zurückziehen ein Überlappungsbereich zwischen zwei Streifenabschnitten benachbarter Reihen im Vergleich zu einem Überlappungsbereich, der ohne das Zurückziehen vorhanden wäre, reduziert bzw. beseitigt ist.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des Gegenstandes der Erfindung.

10 Gemäß einer bevorzugten Weiterbildung weisen die Gräben jeweils einen Grabenkondensator mit einer entsprechenden Füllung, die gegenüber der Oberseite des Halbleitersubstrats eingesenkt ist, auf.

15 Gemäß einer weiteren bevorzugten Weiterbildung wird das Zurückziehen durch einen isotropen vorzugsweise nasschemischen Ätzprozess bewerkstelligt, wodurch die Dicke der zurückgezogenen Hartmaske im Vergleich zur Dicke der Hartmaske reduziert wird. Dadurch lässt sich das Aspektverhältnis noch günstiger gestalten.

Gemäß einer weiteren bevorzugten Weiterbildung besteht die erste Hartmaske aus Siliziumnitrid.

20 Gemäß einer weiteren bevorzugten Weiterbildung besteht die zweite Hartmaske aus Siliziumoxid.

Gemäß einer weiteren bevorzugten Weiterbildung besteht das Füllmaterial aus Siliziumoxid.

30 Gemäß einer weiteren bevorzugten Weiterbildung wird durch das Zurückziehen ein Überlappungsbereich zwischen zwei Streifenabschnitten benachbarter Reihen vollständig beseitigt.

35 Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

5 Fig. 1a-f zeigen schematische Darstellungen aufeinanderfolgender Verfahrensstadien eines Herstellungsverfahrens für eine Halbleiterstruktur als Ausführungsform der vorliegenden Erfindung; und

10 Fig. 2 zeigt ein bekanntes Anordnungsschema einer Speicherzellen-Halbleiterstrukturen mit Grabenkondensatoren in Silizium-Technologie.

In Fig. 1a-f bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

15 Die in Fig. 1a-f dargestellte Ausführungsform bezieht sich auf das oben erläuterte bekannte Anordnungsschema gemäß Fig. 2.

20 In Fig. 1a bezeichnen  $r_1$ ,  $r_2$  benachbarte Reihen und  $s_1$ ,  $s_2$  und  $s_3$  benachbarte Spalten der Speicherzellenanordnung, wobei in der Reihe  $r_1$  die Gräben  $G_{11}$  und  $G_{12}$  angeordnet sind, welche für Grabenkondensatoren dienen, die keine Auswahltransistoren mit gemeinsamem Begleitungsanschluss aufweisen. In der Reihe  $r_2$  ist versetzt der Graben  $G_{21}$  vorgesehen.

25 Im rechten Teil von Fig. 1a-f befindet sich jeweils eine Schnittdarstellung entlang der gestrichelten Linie im linken Teil.

30 Aus der Schnittdarstellung von Fig. 1a ist erkennbar, dass im betrachteten Prozeßzustand eine Maske 50 aus Siliziumnitrid auf dem Halbleitersubstrat 10 mit den Gräben  $G_{11}$ ,  $G_{12}$ ,  $G_{21}$  vorgesehen ist, welche zum Ätzen der Gräben  $G_{11}$ ,  $G_{12}$ ,  $G_{21}$  mittels eines entsprechenden Silizium-Ätzprozesses gedient hat.

35

Wie aus Fig. 1a weiter ersichtlich, ist im oberen Teil der Gräben  $G_{11}$ ,  $G_{12}$ ,  $G_{21}$  eine Füllung aus Polysilizium 20 vorge-

sehen, die gegenüber der Oberseite OS des Halbleitersubstrats 10 eingesenkt ist. Diese Füllung 20 besteht aus Polysilizium und ist ein Teil der Kondensatorstruktur des in den Gräben befindlichen Grabenkondensators, nämlich ein vergrabener An-  
5 schlussstreifen für die innere Kondensatorplatte, der in einem späteren Prozeßschritt im aktiven Bereich durch entsprechendes Diffusionsgebiet an den zugehörigen Auswahltransistor angeschlossen wird.

10 Schließlich bezeichnet UC in Fig. 1a einen Unterätzbereich zwischen dem Halbleitersubstrat 10 und der Hartmaske 50 aus Siliziumnitrid, wo dort befindliches (nicht gezeigtes) Pad-Oxid beim Bilden der Kondensatorstruktur unterätzt worden ist.

15 Gemäß Fig. 1b erfolgt in einem darauffolgenden Prozeßschritt eine selektive nasschemische Rückätzung des Siliziumnitrids der Hartmaske 50 zur Bildung einer bezüglich der Grabenwand zurückgezogenen und in ihrer Dicke verdünnten Hartmaske 50'.  
20 Der Rückziehabstand  $\Delta$  beträgt bei dieser Ausführungsform 40 nm bis 50 nm, die Dicke nimmt dabei von 140 nm auf 90 nm bis 100 nm ab. Zweckmäßigerweise kann dieses Rückätzen in heißer Phosphorsäure durchgeführt werden.

25 In einem darauffolgenden Prozeßschritt, welcher in Fig. 1c illustriert ist, erfolgt dann das Aufbringen und lithographische Strukturieren einer Hartmaske HM aus Siliziumoxid auf der resultierenden Struktur. Diese Hartmaske HM dient zur Festlegung der späteren Isolationsgrabenstruktur ST, welche 30 mittels einer Silizium-Ätze erzeugt wird. Das hierbei nicht geätzte Silizium-Halbleitersubstrat 10 (vgl. Fig. 2) bildet später die sogenannten aktiven Bereiche.

35 Wie aus Fig. 1d ersichtlich, unterteilt die Isolationsgrabenstruktur ST in dem Halbleitersubstrat 10 die zurückgezogene Hartmaske 50' entlang der Reihen r1, r2 in Streifenabschnitte 50<sub>1</sub>', 50<sub>2</sub>' in der Reihe r1 und 50<sub>3</sub>' in der Reihe r2, wobei die

Streifenabschnitte benachbarter Reihen zueinander versetzt angeordnet sind, hier beispielsweise  $50_1'$  und  $50_3'$ . Anhand der vertikalen Verbindungsline V in Fig. 1d ist zu erkennen, dass durch das Vorsehen des Rückziehbereiches  $\Delta$  nahezu keine 5 Überlappung der Streifenabschnitte  $50_1'$  und  $50_3'$  vorliegt, wodurch das Aspektverhältnis an dieser kritischen Stelle deutlich entspannt ist.

In einem abschließenden Prozeßschritt gemäß Fig. 1e erfolgt 10 dann das Auffüllen und Planarisieren der Isolationsgrabenstruktur ST mittels Siliziumoxid als isolierendem Füllmaterial FI, beispielsweise mittels eines high density Plasma-Prozeßes, was aufgrund des reduzierten Aspektverhältnisses im verkleinerten Überlappungsbereich KB' ohne Lunkerbildung realisiert werden kann. Ein mehrmaliges Abscheiden und Rückätzen 15 des isolierenden Füllmaterials FI aus Siliziumoxid erübrigt sich somit.

Fig. 1e und 1f zeigen im Vergleich den kritischen Überlappungsbereich KB' bzw. KB im Falle des Rückziehens der Hartmaske 50 aus Siliziumnitrid und im Falle, dass kein Rückziehen durchgeführt wird. Deutlich erkennbar ist, dass der Überlappungsbereich KB' im Falle des Rückziehens wesentlich kleiner ist als der Überlappungsbereich KB im Falle des Fehlens dieses Schritts.

Bei bekannten Strukturen konnte eine Entspannung des Aspektverhältnisses im kritischen Überlappungsbereich KB von 4,2 auf 2,9 durch das erfindungsgemäße Vorgehen realisiert werden. 30

Obwohl die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise 35 modifizierbar.

Insbesondere sind die Auswahl der Masken- und Substratmaterialien deren Anordnung nur beispielhaft und können in vielerlei Art variiert werden.

- 5 Obwohl bei der obigen Ausführungsform das Rückziehen der Hartmaske 50 aus Siliziumnitrid noch einen geringen Überlappungsbereich KB' zurücklässt, könnte dieses Zurückziehen derart durchgeführt werden, dass der Überlappungsbereich vollständig entfernt ist.

## Patentansprüche

1. Herstellungsverfahren für eine Halbleiterstruktur mit den Schritten:

5

Bereitstellen eines Halbleitersubstrats (10);

Vorsehen einer Mehrzahl von Gräben (G11, G12; G21) in dem Halbleitersubstrat (10) unter Verwendung einer ersten Hartmaske (50), die zueinander versetzt in Reihen (r1, r2) und Spalten (s1, s2, s3) angeordnet sind;

10  Zurückziehen der Hartmaske (50) um einen vorbestimmten Abstand ( $\Delta$ ) bezüglich der Grabenwand an der Oberseite (OS) des Halbleitersubstrats (10) zum Bilden einer zurückgezogenen ersten Hartmaske (50');

15 Vorsehen einer Isolationsgrabenstruktur (ST) in dem Halbleitersubstrat (10) unter Verwendung einer zweiten Hartmaske (HM), wobei die Isolationsgrabenstruktur (ST) die erste zurückgezogene erste Hartmaske (50') entlang der Reihen (r1, r2) in Streifenabschnitte (50<sub>1</sub>', 50<sub>2</sub>'; 50<sub>3</sub>') unterteilt und die Streifenabschnitte (50<sub>1</sub>'; 50<sub>3</sub>') benachbarter Reihen (r1, r2) zueinander versetzt angeordnet sind;

20  wobei durch das Zurückziehen ein Überlappungsbereich (KB') zwischen zwei Streifenabschnitten (50<sub>1</sub>'; 50<sub>3</sub>') benachbarter Reihen (r1, r2) im Vergleich zu einem Überlappungsbereich (KB), der ohne das Zurückziehen vorhanden wäre, reduziert

30 ist;

Entfernen der zweiten Hartmaske (HM); und

35 Auffüllen und Planarisieren der Isolationsgrabenstruktur (ST) mit einem Füllmaterial (FI) unter Verwendung der in die Streifenabschnitte (50<sub>1</sub>', 50<sub>2</sub>'; 50<sub>3</sub>') unterteilten ersten Hartmaske (50').

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Gräben (G11, G12; G21) jeweils einen Grabenkondensa-

5 tor mit einer entsprechenden Füllung (20), die gegenüber der Oberseite (OS) des Halbleitersubstrats (10) eingesenkt ist, aufweisen.

3. Verfahren nach Anspruch 1 oder 2,

10 d a d u r c h g e k e n n z e i c h n e t ,

dass Zurückziehen durch einen isotropen vorzugsweise nassche-

mischen Ätzprozess bewerkstelligt wird, wodurch die Dicke der

zurückgezogenen Hartmaske (50') im Vergleich zur Dicke der

Hartmaske (50) reduziert wird.

15

4. Verfahren nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass die erste Hartmaske (50) aus Siliziumnitrid besteht.

20 5. Verfahren nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass die zweite Hartmaske (HM) aus Siliziumoxid besteht.

6. Verfahren nach einem der vorhergehenden Ansprüche,

25 d a d u r c h g e k e n n z e i c h n e t ,

dass das Füllmaterial (FI) aus Siliziumoxid besteht.

7. Verfahren nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

30 dass durch das Zurückziehen ein Überlappungsbereich (KB')

zwischen zwei Streifenabschnitten (50<sub>1</sub>'; 50<sub>3</sub>') benachbarter

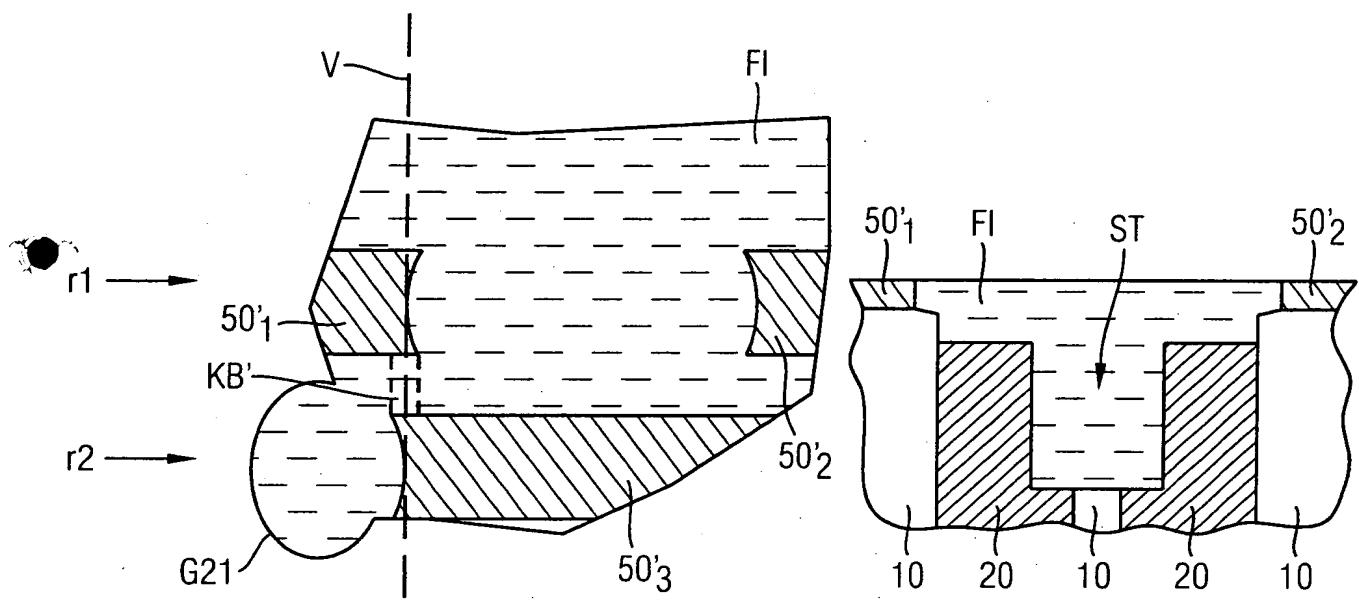
Reihen (r<sub>1</sub>, r<sub>2</sub>) vollständig beseitigt wird.

## Zusammenfassung

Die vorliegende Erfindung schafft ein Herstellungsverfahren für eine Halbleiterstruktur mit den Schritten: Bereitstellen 5 eines Halbleitersubstrats (10); Vorsehen einer Mehrzahl von Gräben (G11, G12; G21) in dem Halbleitersubstrat (10) unter Verwendung einer ersten Hartmaske (50), die zueinander versetzt in Reihen (r1, r2) und Spalten (s1, s2, s3) angeordnet sind; Zurückziehen der Hartmaske (50) um einen vorbestimmten 10 Abstand ( $\Delta$ ) bezüglich der Grabenwand an der Oberseite (OS) des Halbleitersubstrats (10) zum Bilden einer zurückgezogenen ersten Hartmaske (50'); Vorsehen einer Isolationsgrabenstruktur (ST) in dem Halbleitersubstrat (10) unter Verwendung einer zweiten Hartmaske (HM), wobei die Isolationsgrabenstruktur (ST) die erste zurückgezogene erste Hartmaske (50') entlang der Reihen (r1, r2) in Streifenabschnitte (50<sub>1</sub>', 50<sub>2</sub>'; 50<sub>3</sub>') unterteilt und die Streifenabschnitte (50<sub>1</sub>'; 50<sub>3</sub>') benachbarter Reihen (r1, r2) zueinander versetzt angeordnet 15 sind; wobei durch das Zurückziehen ein Überlappungsbereich (KB') zwischen zwei Streifenabschnitten (50<sub>1</sub>'; 50<sub>3</sub>') benachbarter Reihen (r1, r2) im Vergleich zu einem Überlappungsbereich (KB), der ohne das Zurückziehen vorhanden wäre, reduziert ist; Entfernen der zweiten Hartmaske (HM); und Auffüllen 20 und Planarisieren der Isolationsgrabenstruktur (ST) mit einem Füllmaterial (FI) unter Verwendung der in die Streifenabschnitte (50<sub>1</sub>', 50<sub>2</sub>'; 50<sub>3</sub>') unterteilten ersten Hartmaske (50').

Fig. 1e

FIG 1E



## Bezugszeichenliste

	G1-G8	Grabenkondensatoren
	AA1-7	aktive Gebiete
5	STI	Shallow Trench Isolation
	r1, r2	Reihen
	s1, s2, s3	Spalten
	10	Si-Halbleitersubstrat
	20	Polysiliziumfüllung
10	OS	Oberseite
	G11, G12, G21	Graben
	UC	Unterätzbereich
	V	Verbindungsline
	Δ	Rückziehabstand
15	50, 50'	Siliziumnitrid-Hartmaske
	HM	Hartmaske aus Siliziumoxid
	ST	Isolationsgrabenstruktur
	50 <sub>1</sub> ', 50 <sub>2</sub> ', 50 <sub>3</sub> '	Streifenabschnitte
	FI	isolierendes Füllmaterial aus Siliziumoxid
20	KB	Überlappungsbereich
	KB'	reduzierter Überlappungsbereich

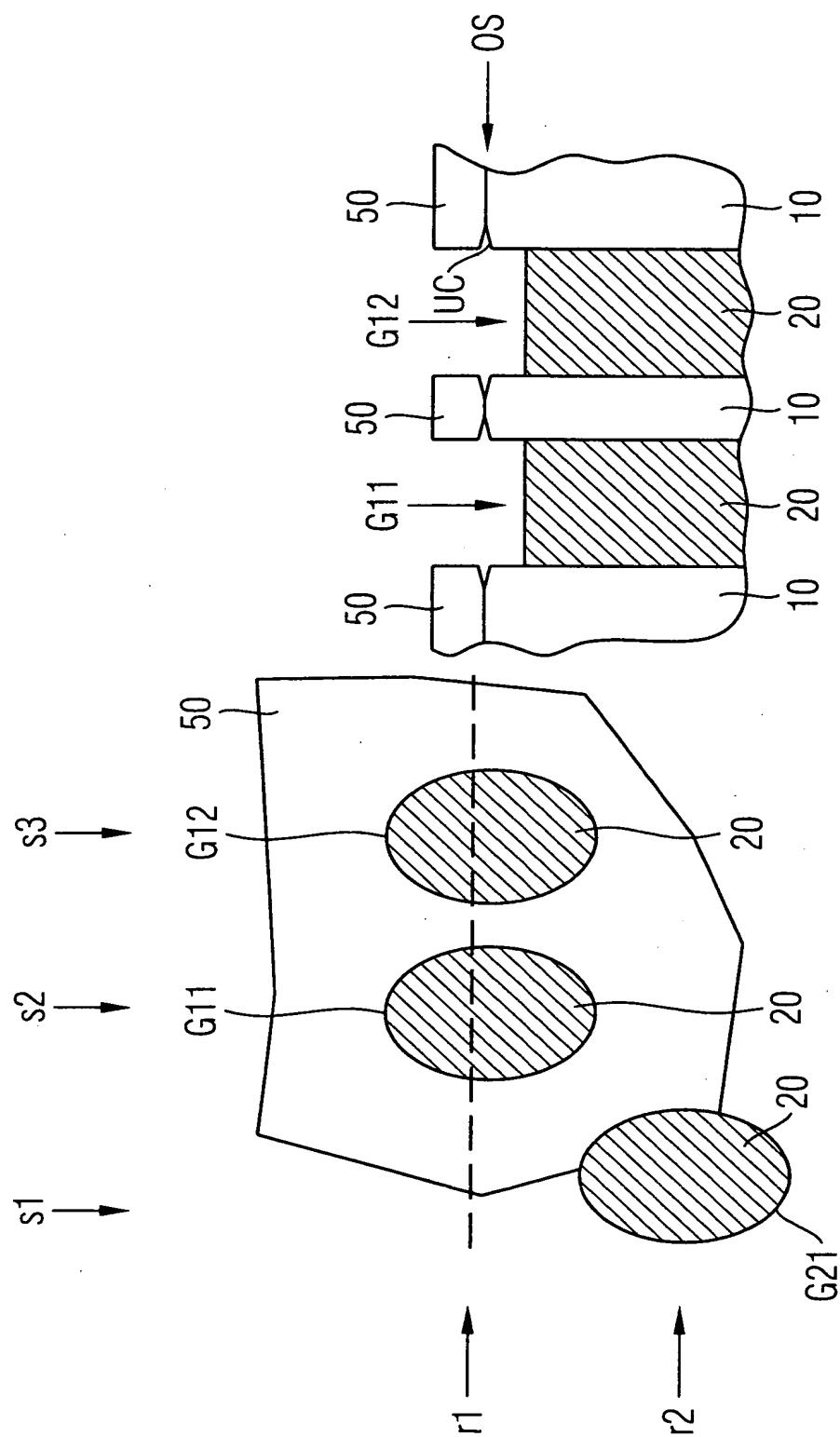
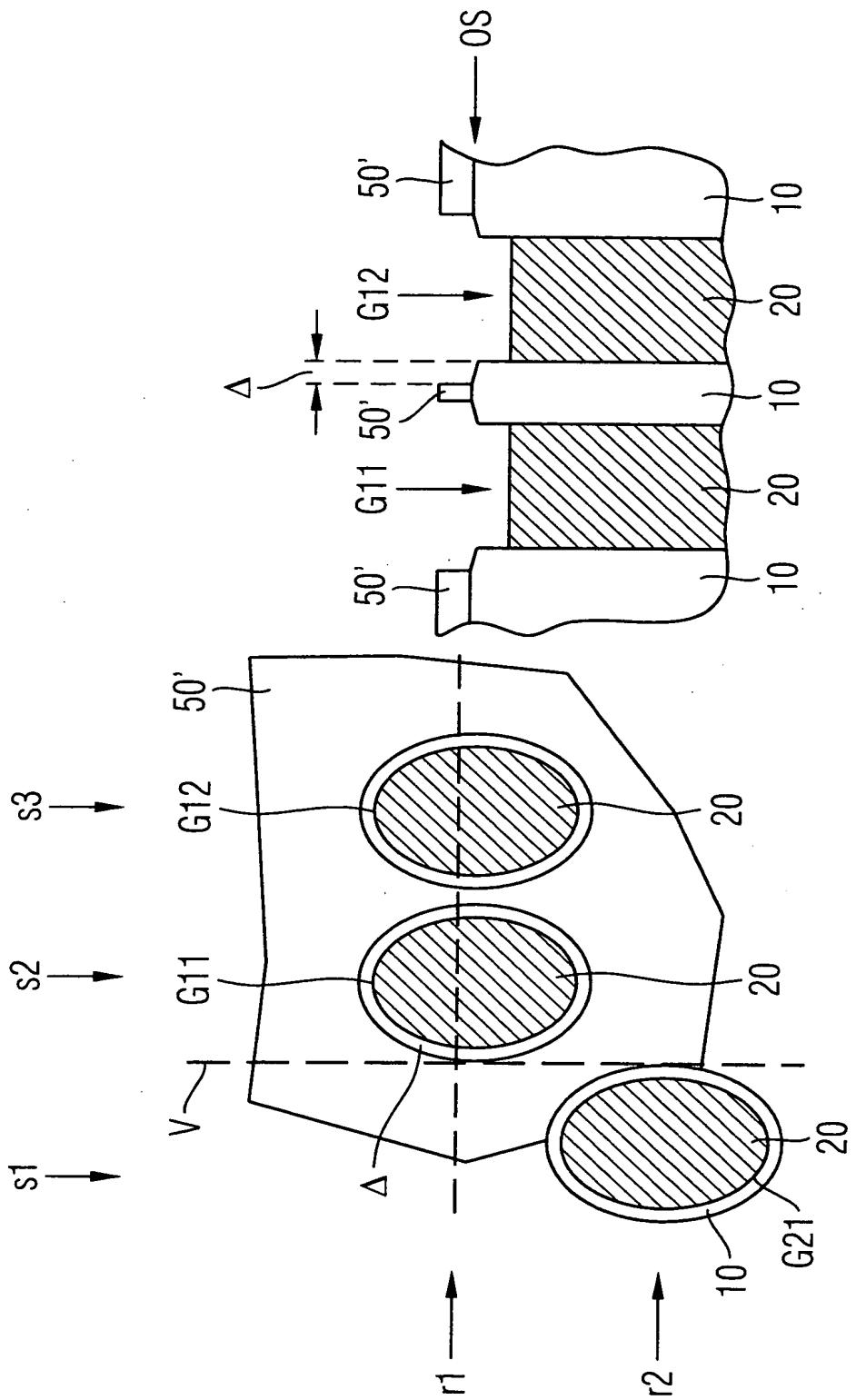


FIG 1A



**FIG 1B**

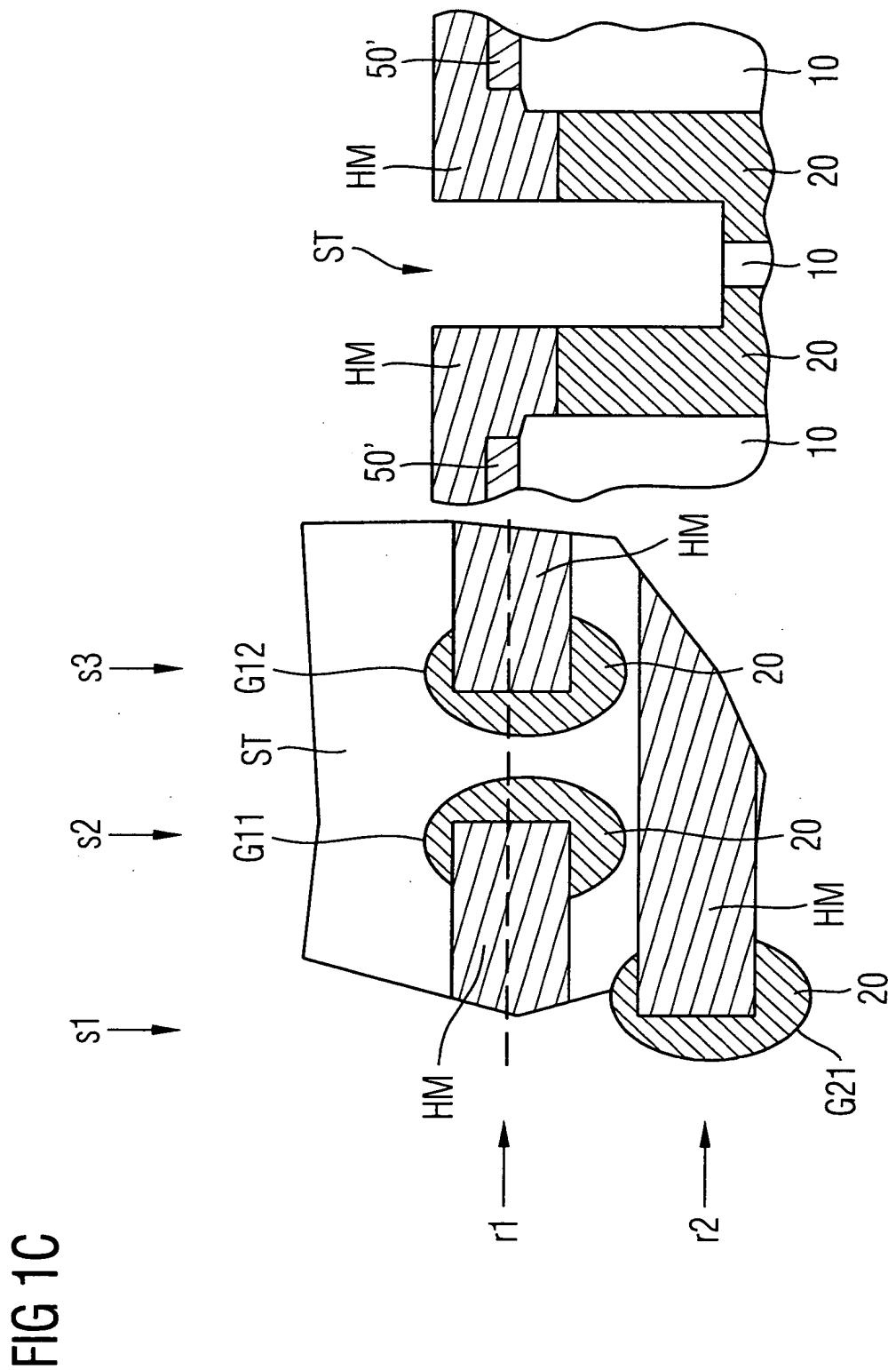


FIG 1C

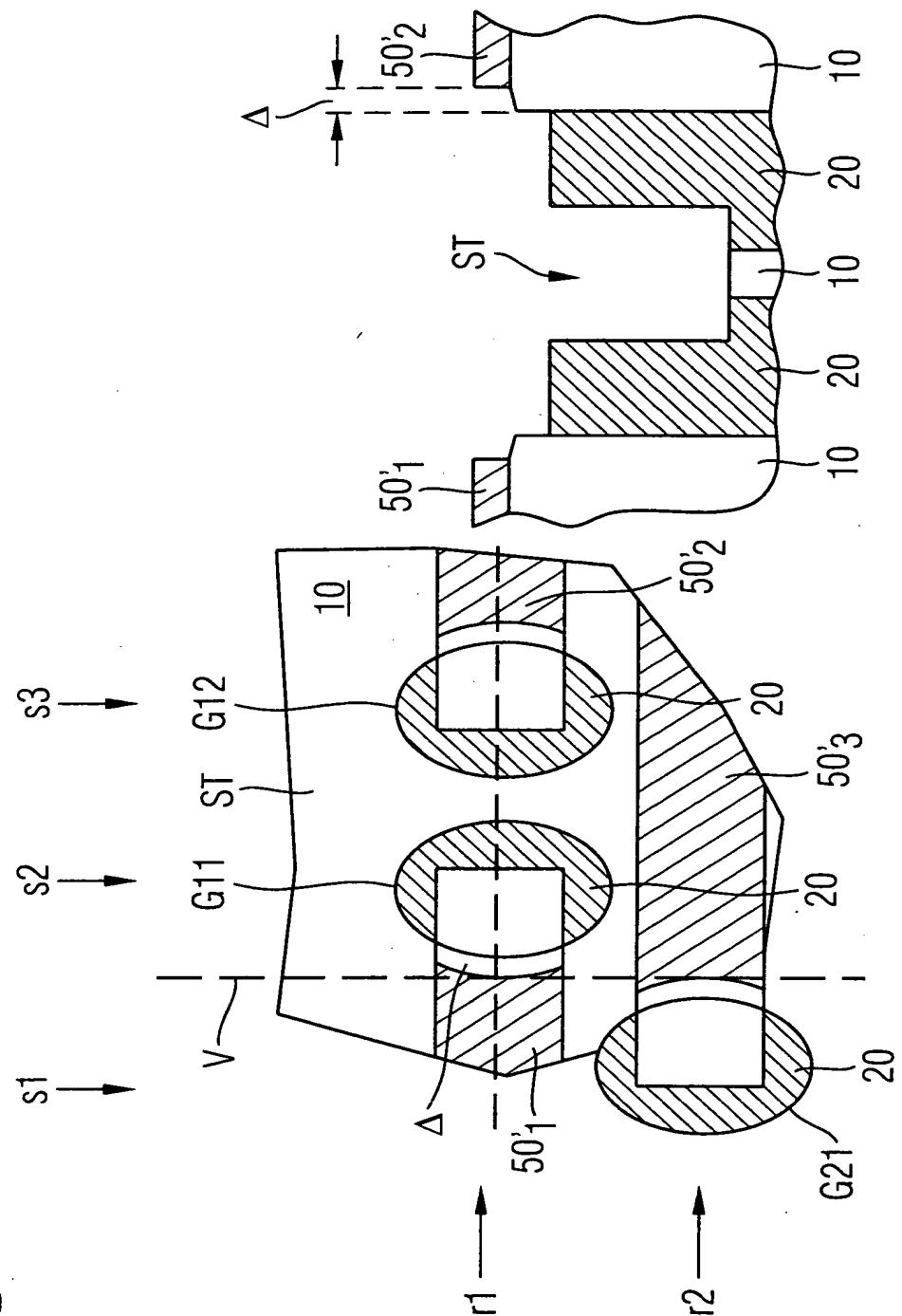
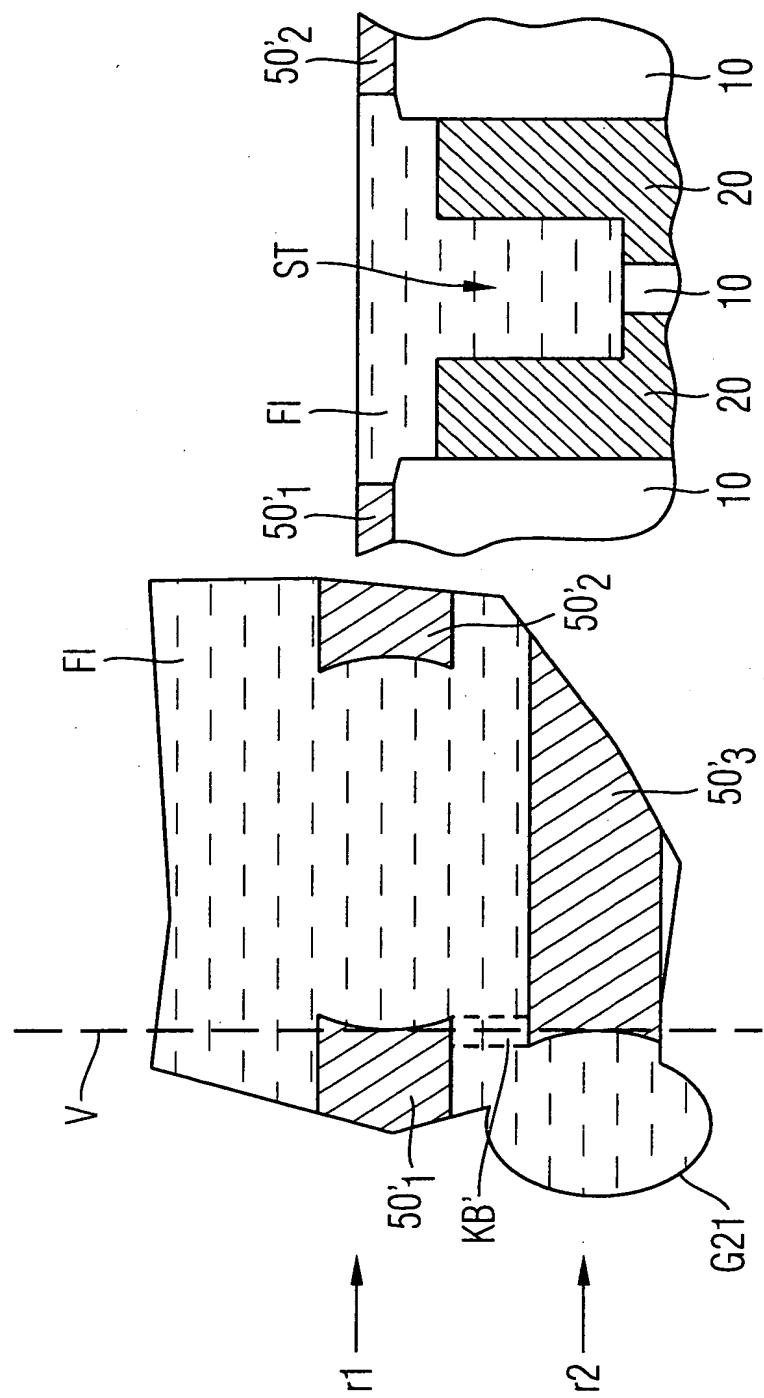


FIG 1D



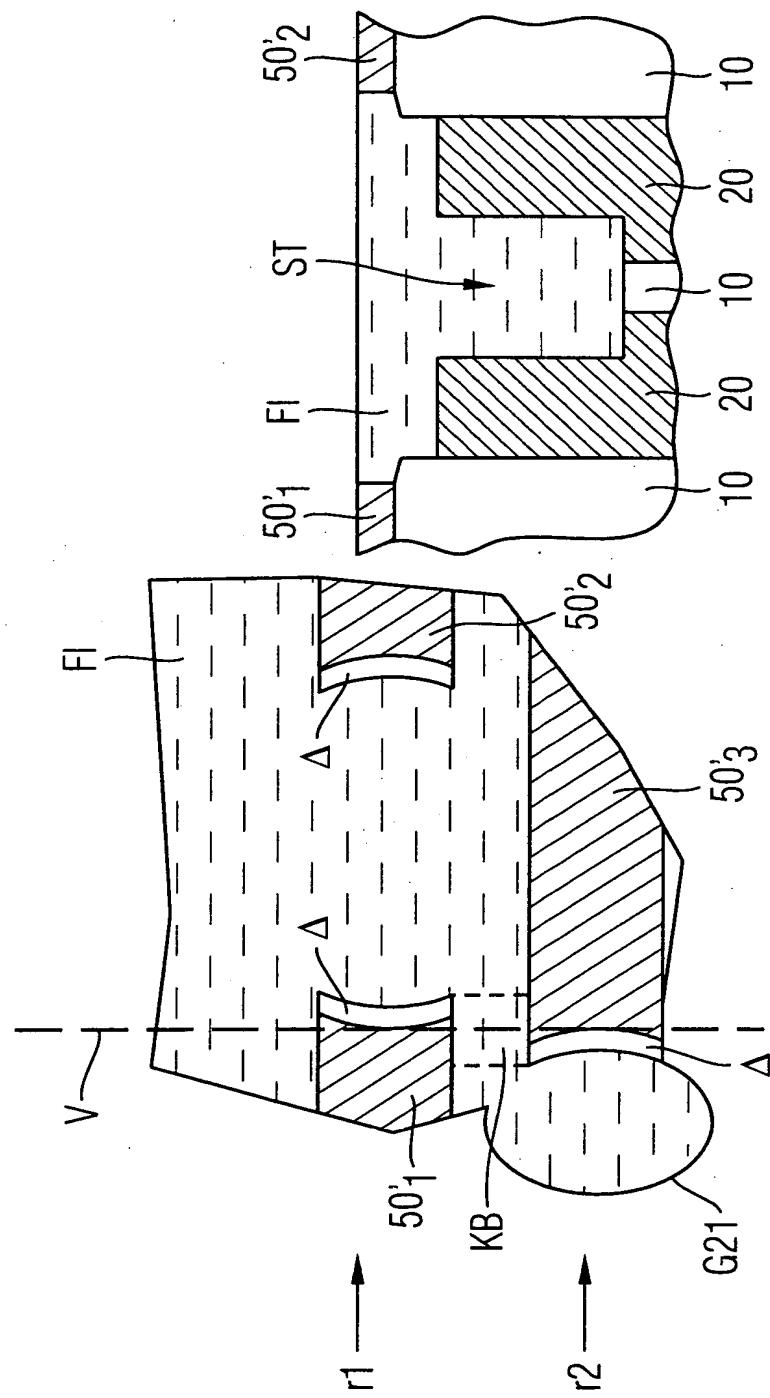


FIG 1F

200215209

7/7

FIG 2

